

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

5919722

Basic Patent (No,Kind,Date): JP 62174973 A2 870731 <No. of Patents: 001>

MANUFACTURE OF SEMICONDUCTOR ELEMENT (English)

Patent Assignee: OKI ELECTRIC IND CO LTD

Author (Inventor): ITO TETSUYA; SAKAMOTO KOICHI

IPC: *H01L-029/78; H01L-021/265; H01L-029/60

Derwent WPI Acc No: C 87-253684

JAPIO Reference No: 120017E000067

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 62174973	A2	870731	JP 85167435	A	850731 (BASIC)

Priority Data (No,Kind,Date):

JP 85167435 A 850731

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

02258073 **Image available**

MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUB. NO.: 62-174973 [JP 62174973 A]

PUBLISHED: July 31, 1987 (19870731)

INVENTOR(s): ITO TETSUYA

 SAKAMOTO KOICHI

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 60-167435 [JP 85167435]

FILED: July 31, 1985 (19850731)

INTL CLASS: [4] H01L-029/78; H01L-021/265; H01L-029/60

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,

MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation); R129

(ELECTRONIC MATERIALS -- Super High Density Integrated Circuits, LSI & GS

JOURNAL: Section: E, Section No. 574, Vol. 12, No. 17, Pg. 67, January

19, 1988 (19880119)

ABSTRACT

PURPOSE: To obviate the need of formation of side walls and to decrease a number of manufacturing processes, by patterning a polycrystalline silicon and an intermediate insulation film, isotropically etching the polycrystalline silicon film for creating steps between the polycrystalline silicon film and the intermediate insulation film, and implanting ions for forming a source and a drain.

CONSTITUTION: A silicon substrate 51 is oxidized to form a silicon oxide film 52 serving as an intermediate insulation film. A silicon nitride film 53 and a polycrystalline silicon film 54 are deposited thereon by the CVD process. A resist film 55 is applied thereon and partially exposed to light so that it is selectively etched. Subsequently, the polycrystalline silicon film 54 and the silicon nitride film 53 are etched anisotropically and selectively in that order and the resist film 55 is removed. Further, the polycrystalline silicon film 54 is etched isotropically and selectively, whereby a structure having steps between the polycrystalline silicon film 54 and the silicon nitride film 53 is created. Then, the substrate is subjected to ion implantation and annealing. As a result, an MOS transistor having an LDD structure in which a low-concentration region 56 and a high-concentration region 57 are provided in a source and drain diffusion layer is produced.

⑫ 公開特許公報(A)

昭62-174973

⑮ Int.Cl.⁴H 01 L 29/78
21/265
29/60

識別記号

庁内整理番号

8422-5F
7738-5F

⑯ 公開 昭和62年(1987)7月31日

審査請求 未請求 発明の数 1 (全5頁)

⑰ 発明の名称 半導体素子の製造方法

⑱ 特 願 昭60-167435

⑲ 出 願 昭60(1985)7月31日

⑳ 発 明 者 伊 藤 徹 哉 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
㉑ 発 明 者 坂 本 孝 一 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
㉒ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
㉓ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

(a) 半導体基板上にシリコン酸化膜と中間絶縁膜および多結晶シリコン膜を順次堆積する工程と、

(b) 上記多結晶シリコン膜と中間絶縁膜とによる段差を形成する工程と、

(c) この段差を利用してイオン注入を行つて上記半導体基板に高濃度領域と低濃度領域のソース・ドレインを形成する工程と、

よりなる半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はVLSIに使われるLDD(Lightly Doped Drain)構造のMOSトランジスタを製造する半導体素子の製造方法に関するものである。

(従来の技術)

従来、この種の製造方法はたとえば、アイトリプルージャーナルオブソリッドステートサー

キップ、ポリウムエスシー-17、ナンバー2、1982-4(IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL SC-17, NO 2, April-1982, "Fabrication of High-Performance LDD FET'S with Oxide Sidewall-Spacer Technology")に記載されている。

従来のこの種の半導体素子の製造方法は、第4図(a)ないし第4図(i)に示すように行われている。すなわち、第4図(a)はシリコン基板で、たとえばNチャンネルMOSの場合にはP型基板を用い、この上にMOSトランジスタを形成する。

まず、第4図(b)のように、シリコン基板1を酸化する。酸化条件はたとえば950℃30分で150Å程度のシリコン酸化膜2を作る。

次に、中間絶縁膜として、通常CVD法によるシリコン酸化膜3を堆積する。その厚さは200~300Å程度である。

さらに、CVD法により厚さがたとえば3000~4000Å程度の多結晶シリコン膜4を堆積する。

次に、第4図(c)のようにレジスト膜5を塗布し、

部分的に露光を行なう。次に、レジスト膜5の選択エッチングにより、第4図(d)のようになる。残ったレジスト膜の長さは2 μ m程度である。

さらに、多結晶シリコン膜4、シリコン窒化膜3、シリコン酸化膜2を順次、異方性選択エッチングし、レジスト膜を除去すると、第4図(e)の構造ができる。

この第4図(e)に示される多結晶シリコン膜4はMOSトランジスタのゲート電極として用いる。

ここで、低濃度のイオン注入を行なう。たとえばNチャネルMOSの場合リンを $1 \times 10^{13} \text{cm}^{-2}$ 程度、10 KeVで行なう。さらに、アニールすると、第4図(f)の6で示される低濃度の拡散層ができる。

次に、通常のCVD法により第4図(g)のようにPSG膜7を堆積し、さらに、このPSG膜7を異方性エッチングすることにより、第4図(h)に示す構造ができる。ここで、7は通常サイドウォールと呼ばれ、その幅は0.3 μ m程度である。

次に、高濃度でイオン注入を行なう。たとえば、NチャネルMOSの場合、ひ素を $1 \times 10^{15} \text{cm}^{-2}$ 程

度、10 KeVで行なう。さらに、アニールすると、第4図(i)の8に示す高不純物濃度の拡散層ができる。

この拡散層はMOSトランジスタのソースおよびドレイン電極として用いる。

以上のようにして、低濃度不純物の拡散層6の領域と高不純物濃度の拡散層8の領域の2重構造で、ソース・ドレイン電極を形成する方法が従来のLDD構造の製造方法である。

(発明が解決しようとする問題点)

しかしながら、上記の方法ではLDD構造を作るためにサイドウォール1を形成しなければならず、その構造を作るために工程が余分にかかり、しかも、サイドウォール幅を精度よく制御することがかなり困難な技術であつた。

この発明は、前記従来技術がもっている問題点のうち、サイドウォールを形成するために工程が余分にかかる点と、サイドウォール幅を精度よく制御することが困難であるという点について解決した半導体素子の製造方法を提供するものである。

(問題点を解決するための手段)

この発明の半導体素子の製造方法において、多結晶シリコン膜および中間絶縁膜をパターンニングした後、多結晶シリコン膜を等方性エッチングすることにより、多結晶シリコン膜と中間絶縁膜による段差を作り、その上からソース・ドレイン形成のためのイオン注入を行なう工程を導入したものである。

(作用)

この発明によれば、半導体素子の製造方法に以上のような工程を導入したので、多結晶シリコン膜を等方性エッチングして中間絶縁膜との間に段差を形成してイオン注入を行なつて段差を有する部分に対応する個所は低濃度の不純物の拡散層を形成し、段差のない部分に対応する個所に高濃度の不純物の拡散層を形成するように作用し、したがって前記問題点を除去できる。

(実施例)

以下、この発明の半導体素子の製造方法の実施例について図面に基づき説明する。第1図(a)ない

し第1図(j)はその一実施例の工程説明図である。

まず第1図(a)のシリコン基板51を酸化し、第1図(b)のようにシリコン酸化膜52を作る。この場合、たとえば酸化条件950℃30分で150Å程度のシリコン酸化膜52が形成できる。

次に、中間絶縁膜として、CVD法によるシリコン窒化膜53を堆積する。その厚さは200～300Å程度である。さらにCVD法により厚さがたとえば5000～6000Å程度の多結晶シリコン膜54を堆積する。

次に第1図(c)のように、レジスト膜55を塗布し、部分的に露光する。

次に、第1図(d)に示すように、レジスト膜55の選択エッチングにより、第1図(d)のようになる。残ったレジスト膜55の長さは2.4 μ m程度とする。

次に、第1図(e)に示すように、多結晶シリコン膜54、シリコン窒化膜53を順次、異方性選択エッチングし、レジスト膜55を除去する。

さらに、多結晶シリコン膜54を等方性選択エ

エッチングすることにより、第1図(f)のような多結晶シリコン膜54とシリコン窒化膜53との間に段差を有する構造ができる。

ここで、第1図(g)のようにイオン注入、およびアニールを行なう。この場合たとえばNチャンネルMOSの場合、ひ素を $1 \times 10^{15} \text{cm}^{-2}$ 程度、数10 KeVで注入する。このとき第1図(g)のA、Bで示された部分の深さ方向の不純物分布は、それぞれ第1図(h)のAおよび第1図(i)のBに示されるようにシリコン中に注入される不純物量がA、Bで異なり、Aでは低濃度、Bでは高濃度となる。そして、第1図(j)のような低濃度領域56と高濃度領域57のソース・ドレイン拡散層を持つLDD構造のMOSトランジスタが形成される。

なお、この発明の実施例IIとして、上記実施例Iの第1図(f)までの工程は同一にし、第1図(g)で示すイオン注入の工程の際に、まずリンを低濃度、たとえば $1 \times 10^{15} \text{cm}^{-2}$ 程度、数10 KeVで注入した後、ひ素を高濃度、たとえば $5 \times 10^{15} \text{cm}^{-2}$ 程度で注入する。その後アニールすれば、第1図(g)のA、

Bに示される部分の深さ方向の不純物分布は、それぞれ第2図のA、第3図Bのようになり、やはり同様のLDD構造を形成することができる。

さらに、この発明の実施例IIIとして、実施例Iで中間絶縁膜として用いたシリコン窒化膜53の代わりに、PSG膜を使い実施例Iと同一の工程を行なうことにより、やはり同様のLDD構造を形成することができる。

また、実施例IVとして、実施例IIで中間絶縁膜として用いたシリコン窒化膜の代わりにPSG膜を使い実施例IIと同一の工程を行なうことにより、やはり同様のLDD構造を形成することができる。

(発明の効果)

以上詳細に説明したようにこの発明によれば、多結晶シリコン膜と中間絶縁膜との間の段差を利用してLDD構造を形成するので、サイドウォールの形成の必要がなくなり、製造工程が少なくなる。

また、一般にLDD部の形状を左右するサイドウォール幅を制御するのは困難であるのに対し、

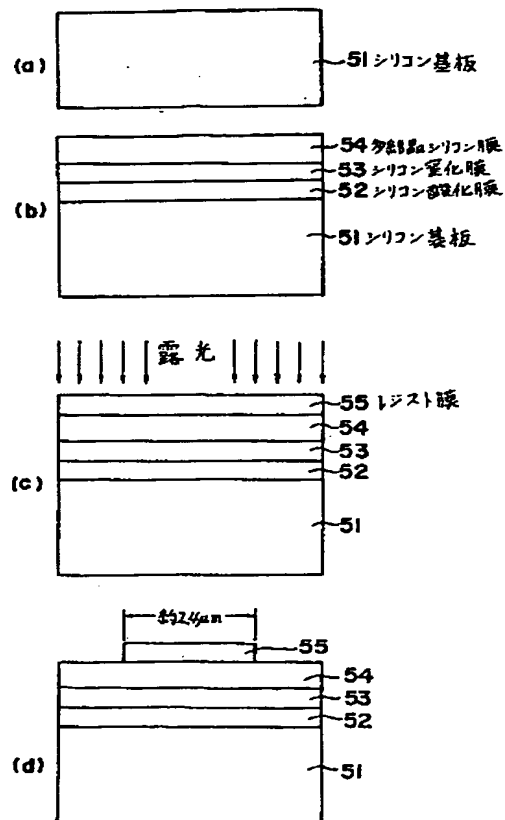
この発明の製造方法によれば、LDD部の形状は多結晶シリコン膜の等方性選択エッチングの際のエッチング時間を変えることにより容易に制御できる。

4. 図面の簡単な説明

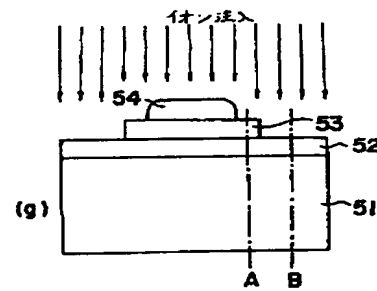
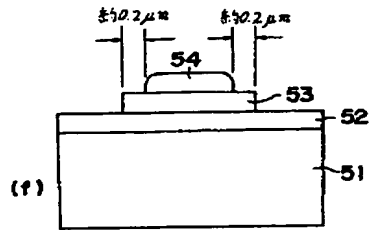
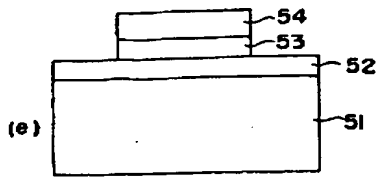
第1図(a)ないし第1図(j)はこの発明の半導体素子の製造方法の一実施例の工程説明図、第2図(a)および第3図はそれぞれこの発明の半導体素子の製造方法の第2の実施例における低濃度領域と高濃度領域の深さ方向の不純物分布を示す図、第4図(a)ないし第4図(i)は従来の半導体素子の製造方法の工程説明図である。

51…シリコン基板、52…シリコン酸化膜、53…シリコン窒化膜、54…多結晶シリコン膜、55…レジスト膜、56…低濃度領域、57…高濃度領域。

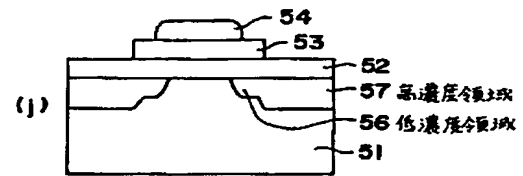
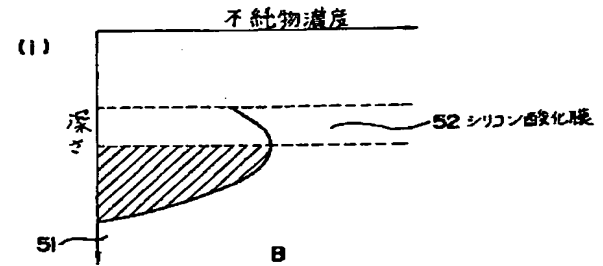
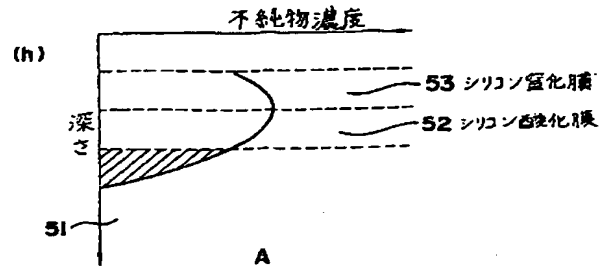
特許出願人 沖電気工業株式会社
代理人 井理士 菊 池 弘



第 1 図

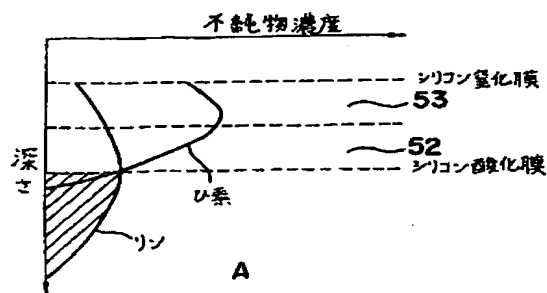


第 1 図



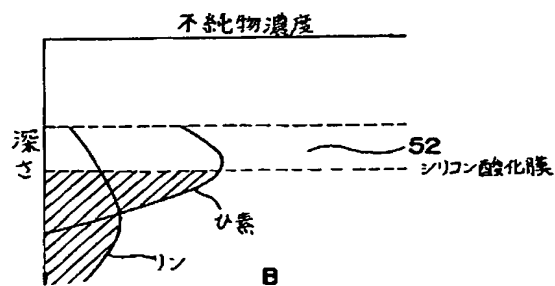
この発明の半導体素子の製造方法の概略図

第 1 図



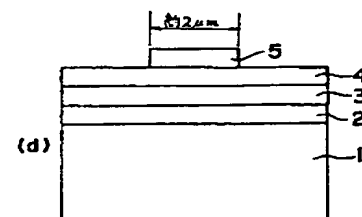
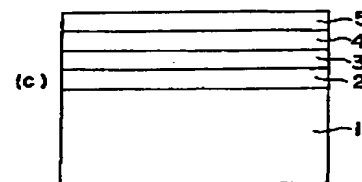
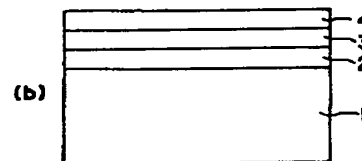
この発明の他の実施例の低濃度領域を示す図

第 2 図

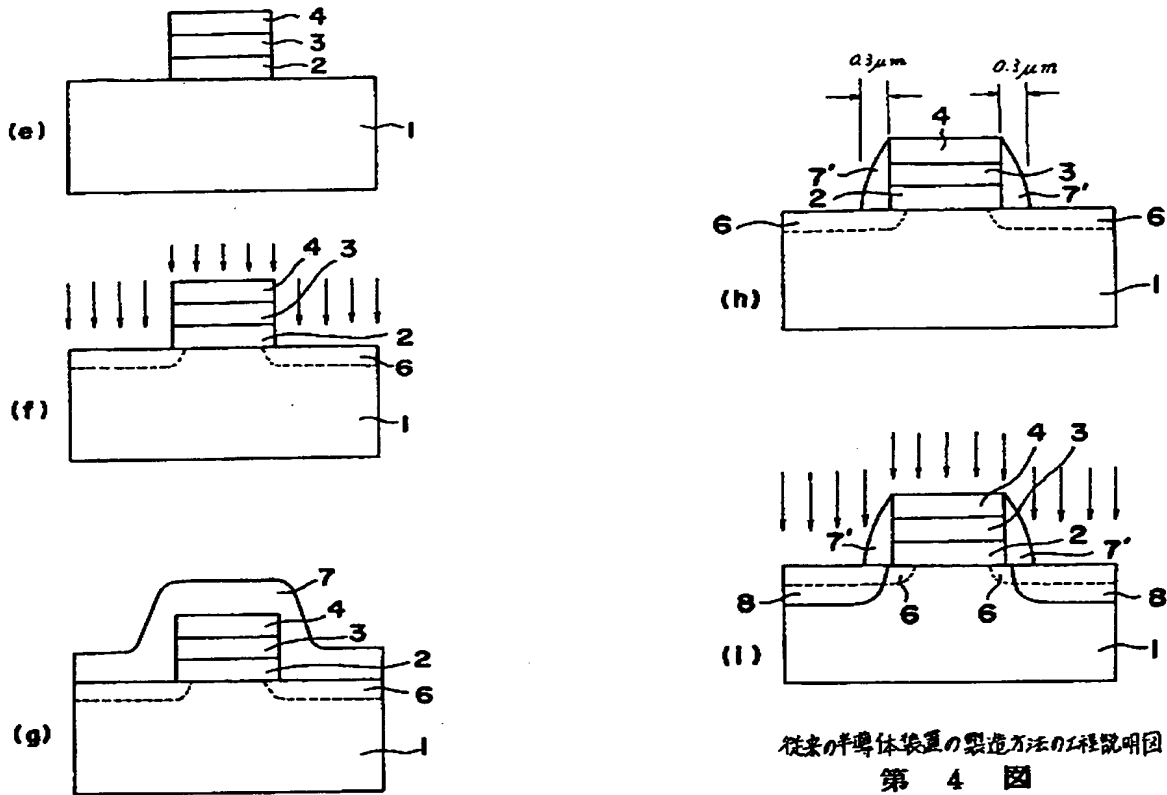


この発明の他の実施例の高濃度領域を示す図

第 3 図



第 4 図



第 4 図

手続補正書（方式）

昭和 62 年 2 月 23 日

特許庁長官 黒田 明 雄 殿

1. 事件の表示

特願昭60-167435号

2. 発明の名称

半導体素子の製造方法

3. 補正をする者

事件との関係 特許出願人

(029) 沖電気工業株式会社

4. 代理人

〒105 東京都港区虎ノ門一丁目2番20号 第18号
(6568) 弁理士 森 池 弘 三
電話 501-2453 (代)

5. 補正命令の日付 昭和62年1月27日 (発送日)

6. 補正の対象

明細書の図面の簡単な説明の欄

7. 補正の内容

明細書9頁7行「第2図(f)」を削除し、同所に「第2図」を加入する。